

**MASTER-SLICE SEMICONDUCTOR DEVICE**

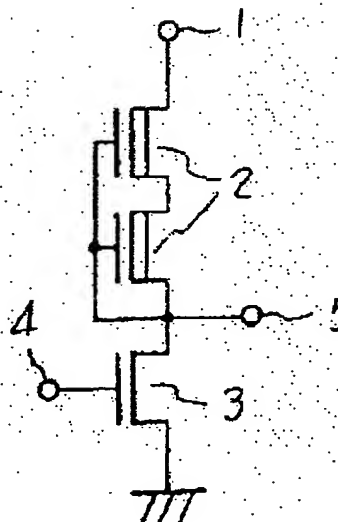
**Patent number:** JP59014647  
**Publication date:** 1984-01-25  
**Inventor:** YOSHIDA TAKETO  
**Applicant:** NIPPON DENKI KK  
**Classification:**  
- **International:** H01L21/82; H01L27/04  
- **European:**  
**Application number:** JP19820123873 19820716  
**Priority number(s):**

Report a data error here

**Abstract of JP59014647**

**PURPOSE:** To enable to compose a load of low power type by connecting in series a plurality of FETs which are commonly connected at gates between a power source and a drive transistor.

**CONSTITUTION:** Load FETs 2 connects commonly at the gates are inserted in series between a power source 2 and a drive FET3, and a load FET is further associated in parallel. In this case, one type of two fundamental load FETs are used to be equivalent to three types of FETs. Accordingly, one FET can be reduced from the fundamental cell of LSI of master-slice type, and can be advantageously integrated. When the two fundamental loads FETs of different characteristics are used four load FETs can be selected, and when three are used, seventeen load FETs can be selected. Further, when depletion type FETs connected commonly at the gates are connected in advance in series with each other, and altered at the connecting position to the power source, the capacity of the load FETs can be varied, thereby facilitating the acceleration of the speed and the conversion to low power.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑫ 公開特許公報 (A)

昭59-14647

⑪ Int. Cl.<sup>3</sup>  
H 01 L 21/82  
27/04

識別記号

庁内整理番号  
6655-5F  
Z 8122-5F

⑬ 公開 昭和59年(1984)1月25日

発明の数 1  
審査請求 未請求

(全 7 頁)

## ⑭ マスタースライス半導体装置

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑮ 特 願 昭57-123873

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭57(1982)7月16日

東京都港区芝5丁目33番1号

⑱ 発 明 者 吉田健人

⑲ 代 理 人 弁理士 内原晋

## 明 細 書

## 1. 発明の名称

マスタースライス半導体装置

## 2. 特許請求の範囲

- (1) マスタースライス半導体装置に於いて、共通のゲートを有する複数の負荷トランジスタを供給電源と駆動トランジスタとの間に直列に接続した事の特徴とするマスタースライス半導体装置。
- (2) 複数の負荷トランジスタのゲートを共有化して、直列に接続する事によって多種にわたる能力の負荷トランジスタを形成する事が可能である事の特徴とする特許請求の範囲第(1)項記載のマスタースライス半導体装置。
- (3) ゲートを共有する複数のデプレーション型トランジスタをあらかじめ直列に接続しておき供給電源の位置を変える事により負荷トランジスタの能力の変更を可能とした事の特徴とする

特許請求の範囲第(1)項記載のマスタースライス半導体装置。

## 3. 発明の詳細な説明

本発明は E/D MOS のマスタースライス方式によって設計された大規模集積回路の負荷トランジスタに関する。

公知の MOS 大規模集積回路において、第1図の如く負荷トランジスタ2と駆動トランジスタ3によって動作する E/D MOS は、負荷トランジスタ2の能力によって回路を流れるドレイン電流が変わるため負荷トランジスタ2の形状はターンオン、ターンオフ等の交流特性に多大に影響する。このため多様化する回路構成のなかにおいて、様々な形状の負荷トランジスタが必要となるが、大規模集積回路のレベルになると、回路自体が膨大であるためにある程度規格化する必要にせまられる。特に、下地が同一である、マスタースライス方式の大規模集積回路に用いられる負荷トランジスタはそれほど、多種のものを作り出せないのが

## 特開昭59-14647(2)

現状である。そこで、第2図の如く、複数のトランジスタ2を電源1と駆動トランジスタ3の間に並列に接続して、高電力化し高速の回路を構成する手法がとられている。しかしながらこの手法だけでは、基本負荷トランジスタよりも低電力型の負荷トランジスタを構成する事は不可能であるという欠点がある。

本発明は、第3図の如く、ゲートを共有する複数の負荷トランジスタ2を電源1と駆動トランジスタ3の間に直列に接続する事によって、上記の欠点を解消し、低電力型の負荷トランジスタを構成できる半導体装置を提供するものである。

本発明を先にのべた複数の負荷トランジスタを、電源と駆動トランジスタの間に並列に、接続して高速化する手法と組み合わせると、第4図の如く、たとえ1種類の基本負荷トランジスタでも2個あれば、3種類の負荷トランジスタを持つ事と同等である事になる。マスタースライス方式の大規模集積回路においては基本セル1個の中に数個の負荷トランジスタを有しているのが普通であ

るが、それを1個減らす事ができれば、その大規模集積回路内のセル数分だけのトランジスタを減らす事が可能となる。例えば、セル数が1000個で構成されているマスタースライス方式の大規模集積回路に於いて、そのセル1個から1個ずつ負荷トランジスタの数を減らす事が可能となれば全体では1000個の負荷トランジスタを減らす事ができ、しかも性能的には全く同等の物を得る事ができる。これは集積化を進めてゆく上で非常に有効な技術である。

また電気的特性が異なる2つの基本負荷トランジスタを用いれば第5図の如く、4通りの負荷トランジスタを選ぶ事が可能となり、さらに電気的特性が異なる3つの基本負荷トランジスタを用いれば第6図の如く、最大(a)~(d)17通りもの負荷トランジスタを選ぶ事を可能とする。この様に基本負荷トランジスタの数を1個増せば構成しうる負荷トランジスタの数を飛躍的に増やす事ができ、専用設計のLSIと同じレベルで負荷トランジスタを選ぶ事ができるという利点も有する。

次に、本発明を回路上、レイアウト上で実現した例を基本負荷トランジスタが2個の場合について、さらに図を追って説明する。第4図をいし、第5図の回路の様に接続が可能にするためには基本負荷トランジスタを少なくとも第7図の如く分割する必要がある。そうすればこれらの端子間を第8図の如く接続する事によって基本負荷トランジスタの電気的特性が同等であれば3種類、電気的特性が異なれば4種類の負荷トランジスタを構成する事が可能となる。この負荷トランジスタ回路をレイアウトパターン上で表わしたものが第9図であり、これを第10図の様に個別に配線する事によって第8図の様な負荷トランジスタを構成しうる。

さらに本発明を応用した例に次の様な半導体装置がある。公知のE/D MOS マスタースライス方式の大規模集積回路の負荷トランジスタは単体では1種の能力しか持たないため高速化及び低電力化するためには使用する負荷トランジスタを変えなければならず、出力の位置が変わるため、高

速化及び低電力化が不便であるという欠点があった。本発明は、ゲートを共有する複数のデプレッション型トランジスタをあらかじめ直列に接続しておき、個別に、電源に接続する位置を変更する事によって能力を制御しようとする負荷トランジスタであり、出力を与える位置を変える事なく負荷トランジスタの能力を変えられるため高速化、低電力化の交換が容易であるという特徴をもつ。第1-1図はこの負荷トランジスタの等価回路図である。トランジスタ12のソースとトランジスタ13のドレイン及びトランジスタ13のソースとトランジスタ14のドレインは接続されておりそれぞれ、端子15、16が出ている。この端子15、16をそれぞれ電源に接続する事によって全体としての負荷トランジスタの能力を変える事ができる。つまり端子15、16をそのまま開放しておけば、第2図(a)の如くなり、ドレイン電流は相対的に小さく低電力型の負荷トランジスタを構成でき、端子15、16を電源と接続すれば第12図(b)の如くなりドレイン電流は相対的に大きく高速

## 特開昭59-14647(3)

型の負荷トランジスタを構成でき、さらに端子15を電源と接続し端子16を開放しておけば第12図(c)の如くなり、(a)と(b)の中間的な負荷トランジスタが構成できる。

ここで(a)(b)(c)の電力の比はトランジスタ12、13、14のそれぞれのゲート長とゲート幅で自由に調節する事ができる。トランジスタ12のゲート長を $L_1$ 、ゲート幅を $W_1$ 、トランジスタ13のゲート長を $L_2$ 、ゲート幅を $W_2$ 、トランジスタ14のゲート長を $L_3$ 、ゲート幅を $W_3$ とすれば第12図の(b) : (c) : (a)の電力の比は同一プロセス上ではおおよそ

$$1 : \frac{W_2 L_2}{L_2 W_2 + W_1 L_2} : \frac{W_1 W_2 L_2}{L_1 W_2 W_2 + W_1 L_2 W_2 + W_1 W_2 L_2}$$

となる。

第11図をレイアウトパターン上で表わしたのが第13図である。またこれを個別にアルミ配線をほどこして第12図(a)(b)(c)の配線を実現したものが第14図(a)(b)(c)である。つまり第14図(a)は第12図(a)を表わす低電力型の負荷トランジスタ

であり、第14図(b)は第12図(b)を表わす高速型の負荷トランジスタであり、第14図(c)は第12図(c)を表わす(a)(b)の中間型の負荷トランジスタである。ただし、第13図のレイアウトパターンでは縦方向に長く実際配置の際に不便である。この欠点を補なって第11図におけるトランジスタ13、14のレイアウトパターン上の方向を変えて小型化したものが第15図である。これも同様に個別にアルミ配線をほどこして第12図の回路を実現したものが第16図であり(a)は低電力型負荷トランジスタ、(b)は高速型負荷トランジスタ、(c)は(a)と(b)の中間の負荷トランジスタを表わす。

さらにコンタクトを電源線上に配置し、はじめはコンタクトのまわりはアルミがない状態にしておき、そのまわりをアルミで囲む事によって、3通りの能力の負荷トランジスタを作り出せる様にしたレイアウトパターンが第17図である。これも個別に配線する事により第12図の回路を実現する事ができる。これが第18図であり、(a)は低電力型負荷トランジスタ(b)は高速型負荷トラン

ジスタを作り出せる様にしたレイアウトパターンが第17図である。これも個別に配線する事により第12図の回路を実現する事ができる。これが第18図であり、(a)は低電力型負荷トランジスタ(b)は高速型負荷トランジスタ(c)は(a)と(b)の中間の負荷トランジスタを表わす。

本発明による効果には次の様なものがある。

- (1) 既存のマスタースライス品種よりセル内の負荷トランジスタが少なくして済むため、より効率よい下地を作り出す事が可能である。つまり、セル数を増やしたり、機能を向上させたり、チップ面積を小さくしたりする事が可能である。これは集積化を進めてゆく上で有効な手段である。
- (2) 少ない負荷トランジスタの数で様々な能力の負荷トランジスタを合成する事ができるので専用計設並みの広い範囲をカバーする事ができる。
- (3) レイアウトパターンも複雑にならない。
- (4) 低電力型の負荷トランジスタを使用しても

回路のレシオを上がり伝達特性がよくなる。

- (5) ファンクションブロックの高速化、低電力化が容易である。

## 4. 図面の簡単な説明

第1図はB/D MOSで構成された基本インバータ回路、第2図は負荷トランジスタを並列に接続してつくられた、高速型インバータ回路、第3図は本発明である負荷トランジスタを直列に接続してつくられた低電力型インバータ回路、第4図(a)~(c)は各々同等の基本負荷トランジスタを2個用いて、3種類の負荷トランジスタを構成したもので(a)は基本負荷トランジスタ、(b)は高速型負荷トランジスタ、(c)は低電力型負荷トランジスタ、第5図(a)~(c)は各々異なる基本負荷トランジスタを2個用いて4種類の負荷トランジスタを構成したもので(a)は一方の基本負荷トランジスタA、(b)は他方の基本負荷トランジスタB、(c)はA、Bを並列に接続して作られた高速型負荷トランジスタ、(d)はA、Bを直列に接続して作られた低電力型負

荷トランジスタ、第6図(a)~(d)は各々異なる基本負荷トランジスタを3個用いて17種類の負荷トランジスタを構成したもので(a)は基本負荷トランジスタA、(b)は基本負荷トランジスタB、(c)は基本負荷トランジスタC、(d)~(d)は各々負荷トランジスタA、B、Cを組み合わせて作った負荷トランジスタ、第7図は基本負荷トランジスタ、高速型負荷トランジスタ、低電力型負荷トランジスタの3通りの使用が可能に分離された基本負荷トランジスタの等価回路図、第8図(a)~(c)は各々第7図の基本負荷トランジスタを用いて構成された、負荷トランジスタの等価回路図で(a)は基本負荷トランジスタの等価回路図、(b)は高速型負荷トランジスタの等価回路図、(c)は低電力型負荷トランジスタの等価回路図、第9図は第7図のトランジスタ回路を実現したレイアウトパターン、第10図(a)~(c)は各々第9図のレイアウトに第8図に示す配線をしたレイアウトで(a)は基本負荷トランジスタのレイアウト、(b)はハイスピード負荷トランジスタのレイアウト、(c)はローパワー負荷トラン

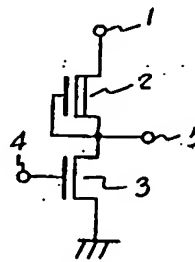
## 特開昭59- 14647 (4)

ジスタのレイアウト、第11図は本発明である電源の位置を変える事により、3通りの負荷トランジスタとして用いる事が可能な負荷トランジスタの等価回路図、第12図(a)~(c)は各々第11図の負荷トランジスタ回路を用いて構成された負荷トランジスタの等価回路図で(a)は低電力型負荷トランジスタの等価回路図、(b)は高速型負荷トランジスタの等価回路図、(c)は中間型負荷トランジスタの等価回路図、第13図は第11図のトランジスタ回路を実現した第1のレイアウトパターン、第14図(a)~(c)は各々第13図のレイアウトに第12図に示す配線をしたレイアウトで(a)は低電力型負荷トランジスタのレイアウト、(b)は高速型負荷トランジスタのレイアウト、(c)は中間型負荷トランジスタのレイアウト、第15図は第11図のトランジスタ回路を実現した第2のレイアウトパターン、第16図(a)~(c)は各々第15図のレイアウトに第12図に示す配線をしたレイアウトで(a)は低電力型負荷トランジスタのレイアウト、(b)は高速型負荷トランジスタのレイアウト、(c)は中間型負

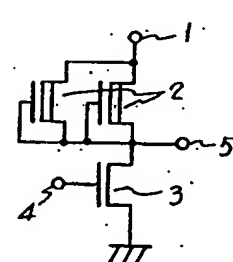
荷トランジスタのレイアウト、第17図は第11図のトランジスタ回路を実現した第3のレイアウトパターン、第18図(a)~(c)は各々第17図のレイアウトに第12図に示す配線をしたレイアウトで(a)は低電力型負荷トランジスタのレイアウト、(b)は高速型負荷トランジスタのレイアウト、(c)は中間型負荷トランジスタのレイアウト、である。

なお図において、1……電源(VDD)、2……負荷トランジスタ(LOAD MOS: Depletion型)、3……駆動トランジスタ(DRIVER MOS: Enhancement型)、4……入力端子(INPUT)、5……出力端子(OUTPUT)、6……電源アルミ線、7……スルーホール、8……ダイレクトコンタクト、9……拡散層、10……ポリシリコン層、11……アルミ層、12、13、14……負荷トランジスタ、15、16……端子、である。

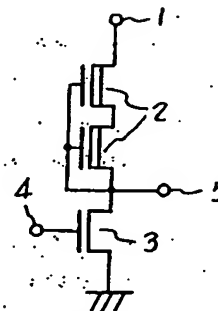
代理人 弁護士 内原 哲



第1図

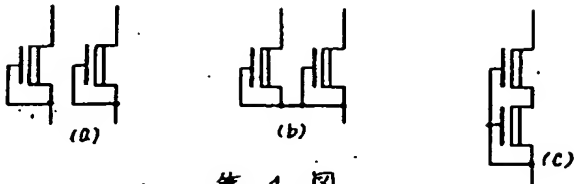


第2図

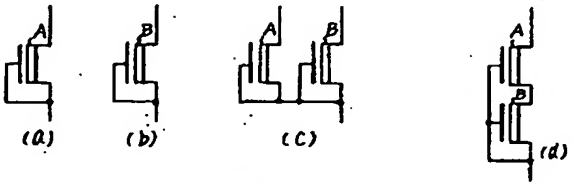


第3図

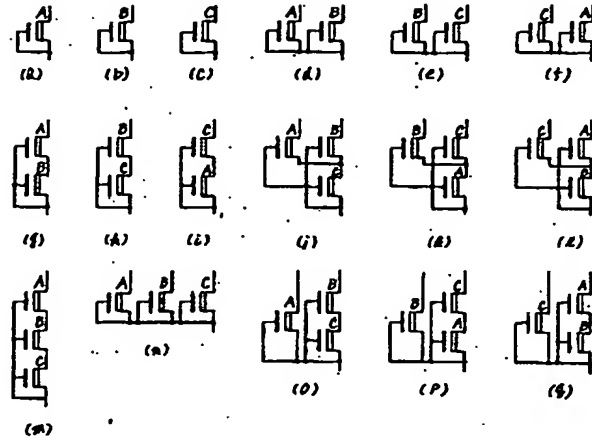
特開昭59- 14647(5)



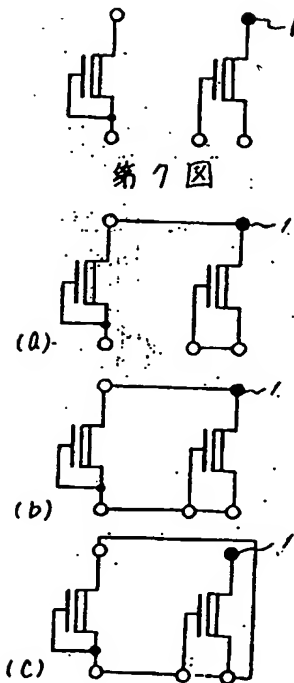
第 4 図



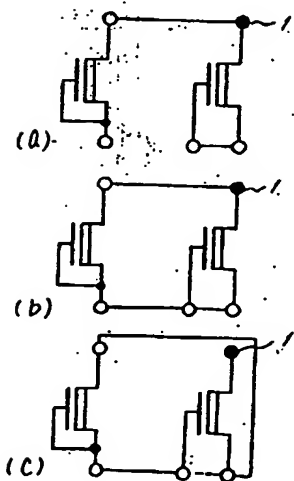
第 5 図



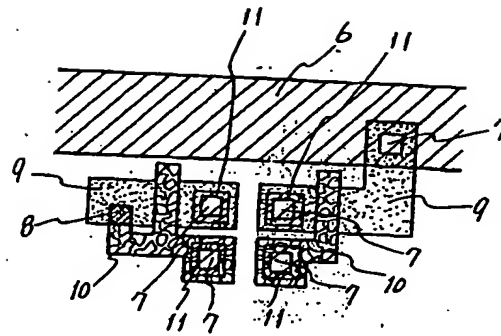
第 6 図



第 7 図

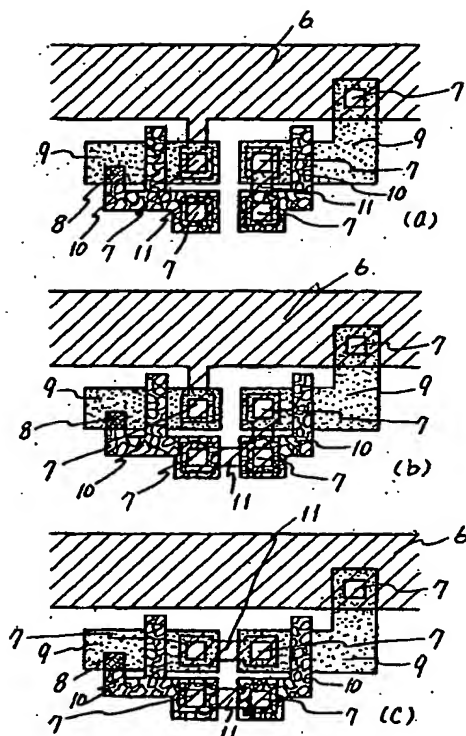


第 8 図

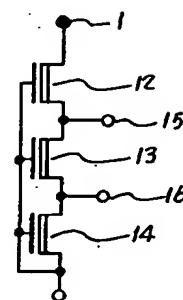


第 9 図

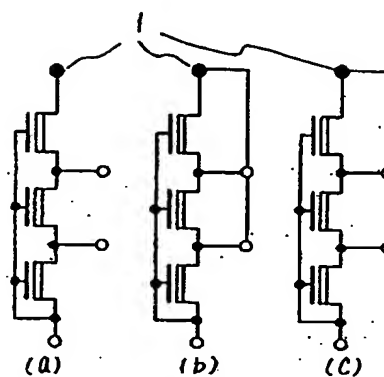
特開昭59-14647(6)



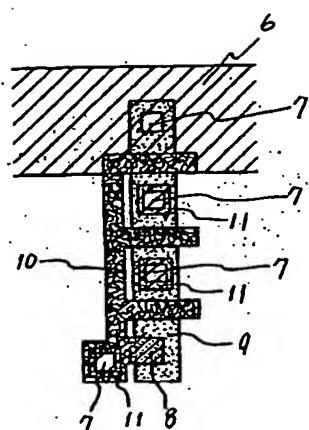
第 10 図



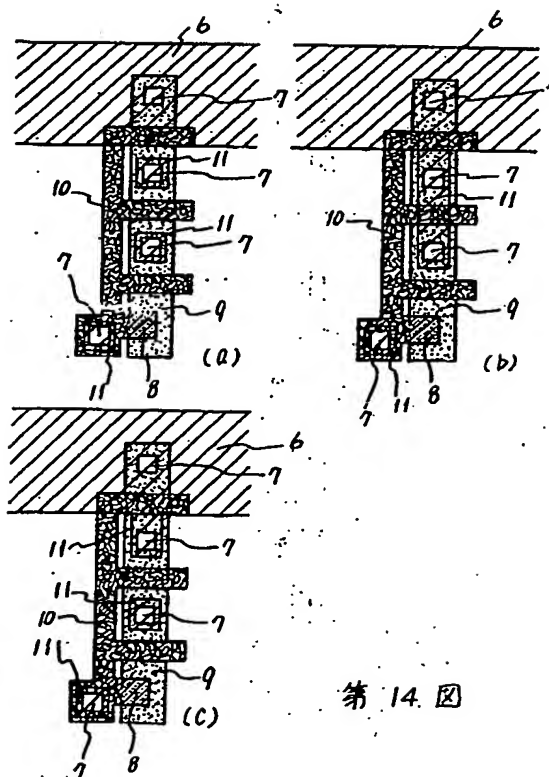
第 11 図



第 12 図

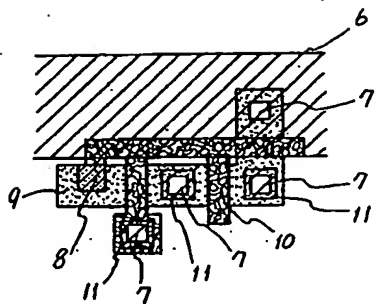


第 13 図

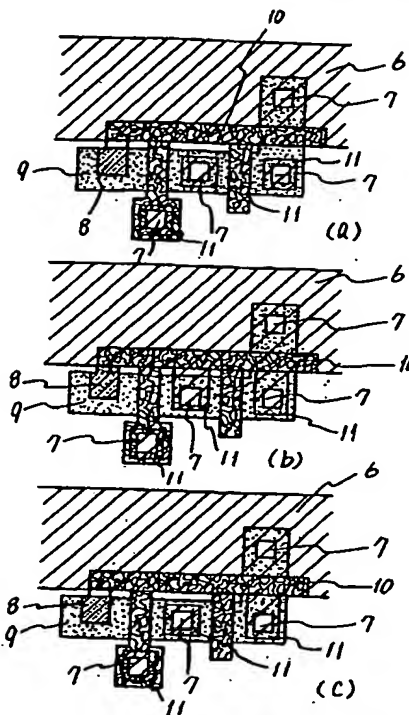


第 14 図

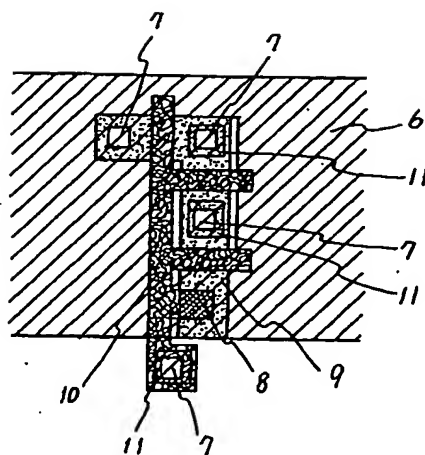
特開昭59-14647(7)



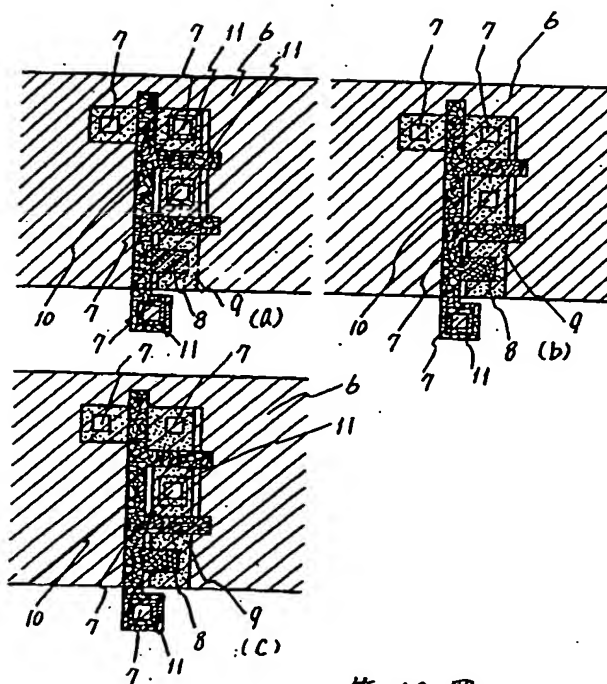
第 15 図



第 16 図



第 17 図



第 18 図